

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-293427

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

G06F 12/00

(21)Application number : 11-098019

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.04.1999

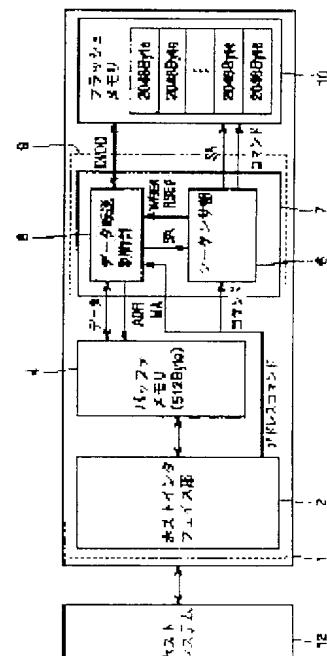
(72)Inventor : FUKUZUMI TOMOYA

(54) STORAGE MEDIUM ON WHICH FLASH MEMORY IS MOUNTED

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a low-cost storage device capable of using a buffer memory having capacity being smaller than the sector capacity of a mounted flash memory.

SOLUTION: This storage device 1 uses two bits in a low order of a media sector address received from a host system 12 as data corresponding to a column address in a sector of a flash memory 10. A data transfer controlling part 8 starts data transfer to the memory 10 from a buffer memory 4 in timing corresponding to column addresses 0h, 200h, 400h and 600h respectively, for instance, on the case low order two bits 00, 01, 10 and 11 of a media sector address are inputted when the sector capacity of the memory 10 is defined as 2048 bytes and the sector capacity of the device 1 is defined as 512 bytes.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-293427

(P2000-293427A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl.<sup>7</sup>

G 0 6 F 12/00

識別記号

5 6 0

F I

G 0 6 F 12/00

テーマコード\* (参考)

5 6 0 A 5 B 0 6 0

審査請求 未請求 請求項の数12 ○ L (全 19 頁)

(21) 出願番号

特願平11-98019

(22) 出願日

平成11年4月5日 (1999. 4. 5)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 福住 知也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

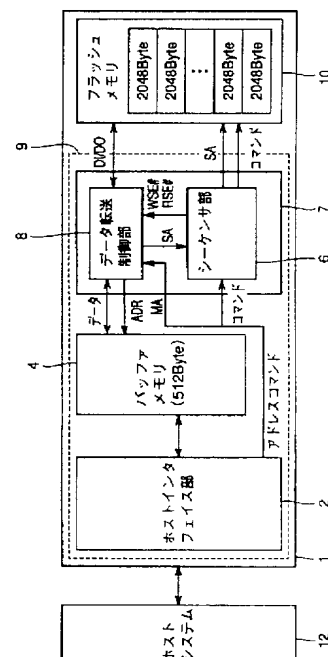
Fターム(参考) 5B060 CB01

(54) 【発明の名称】 フラッシュメモリを搭載する記憶装置

(57) 【要約】

【課題】 搭載するフラッシュメモリのセクタ容量より小容量のバッファメモリを使用することを可能にした、低コストの記憶装置を提供することである。

【解決手段】 記憶装置がホストシステムより受けるメディアセクタアドレスの下位2ビットを、フラッシュメモリのセクタ内のカラムアドレスに対応するデータとして使用する。例えば、フラッシュメモリのセクタ容量が2048バイトで記憶装置のセクタ容量が512バイトである場合において、データ転送制御部8はメディアセクタアドレスの下位2ビット00、01、10、11が入力されるとそれぞれカラムアドレス0h、200h、400h、600hに対応するタイミングでバッファメモリからフラッシュメモリへのデータ転送を開始する。



## 【特許請求の範囲】

【請求項1】 ホストシステムから外部書込アドレス信号と外部書込データとを受けてデータ記憶を行う書込モードを備える記憶装置であって、

データ消去時には所定数のデータを保持するメモリ領域を最小単位とする一括消去が行われ、前記所定数のデータ長を単位として複数のデータの書込がなされるフラッシュメモリを備え、

前記フラッシュメモリは、前記書込モードにおいて、内部書込アドレス信号を受けて、内部書込データに含まれる複数のデータを取込み保持し、

前記書込モードにおいて、前記外部書込アドレス信号を受けて前記内部書込アドレス信号を発生し、前記外部書込データを受けて保持して前記外部書込データと前記外部書込アドレス信号とに基づいて前記内部書込データを出力するデータ入出力部をさらに備え、

前記データ入出力部は、

前記書込モードにおいて、前記ホストシステムから前記外部書込データおよび前記外部書込アドレス信号を受ける第1のインタフェイス部と、

前記外部書込データの数以上で、かつ、前記内部書込データの数より少ない記憶容量を有し、前記書込モードにおいて前記第1のインタフェイス部から前記外部書込データを受け取る、バッファメモリと、

前記書込モードにおいて、前記第1のインタフェイス部から前記外部書込アドレス信号を受けて前記内部書込アドレス信号を発生し、前記バッファメモリから読出した前記外部書込データに前記メモリ領域のデータ書換が生じない前記外部書込アドレス信号に対応するダミーデータを加えて前記内部書込データを発生する第2のインタフェイス部とを含む、フラッシュメモリを搭載する記憶装置。

【請求項2】 前記ダミーデータは、前記フラッシュメモリがデータ消去された直後に保持するデータに対応する値であり、

前記第2のインタフェイス部は、前記内部書込データに含まれる前記データ長のデータを所定の順序で逐次出力し、

前記外部書込データは、前記所定の順序において前記外部書込アドレス信号に対応する位置を先頭位置とする連続する位置を占める、請求項1に記載のフラッシュメモリを搭載する記憶装置。

【請求項3】 前記先頭位置は、前記外部書込アドレス信号に応じて前記外部書込データに含まれるデータ数を単位として前記所定の順序の第1番目を基準にして不連続に決定される、請求項2に記載のフラッシュメモリを搭載する記憶装置。

【請求項4】 前記内部書込データに含まれるデータ数は、前記外部書込データに含まれるデータ数の整数倍である、請求項3に記載のフラッシュメモリを搭載する記

憶装置。

【請求項5】 前記フラッシュメモリは、クロックに同期して前記内部書込データを順次取込み、

前記第2のインタフェイス部は、

前記バッファメモリに対する読出制御信号を発生して前記バッファメモリから前記外部書込データを受けて前記内部書込データを発生し、前記外部書込アドレス信号から前記内部書込アドレス信号を発生する、データ転送制御部を有し、

10 前記データ転送制御部は、

前記フラッシュメモリに前記内部書込データの書込が開始されるときに、前記クロックのカウントを開始するカウンタと、

前記外部書込アドレス信号に含まれるオフセット信号と前記カウンタのカウント値の上位から所定数ビットとが一致した時に一致信号を出力する比較器と、

前記バッファメモリが前記クロックに同期して前記外部書込データを出力するように前記一致信号に応じて読出制御信号を前記バッファメモリに与えるゲート回路と、

20 前記一致信号が非活性化されている時は前記フラッシュメモリの消去後の初期値に対応する値を前記フラッシュメモリに与え、前記一致信号が活性化した時は前記バッファメモリから読出された前記外部書込データを前記フラッシュメモリに与える選択回路とを有する、請求項2に記載のフラッシュメモリを搭載する記憶装置。

【請求項6】 前記記憶装置は、前記ホストシステムから外部読出アドレス信号を受けて前記ホストシステムに外部読出データを出力する読出モードをさらに備え、

30 前記データ入出力部は、前記読出モード時に、前記外部読出アドレス信号を受けて内部読出アドレス信号を発生して前記フラッシュメモリに与え、前記フラッシュメモリから読出される内部読出データの一部を選択して前記外部読出データとして保持した後、前記ホストシステムに対して前記外部読出データを出力し、

前記第1のインタフェイス部は、前記読出モード時に、前記ホストシステムから受けた前記外部読出アドレス信号に応じた前記外部読出データを前記ホストシステムに出力し、

40 前記バッファメモリは、前記外部読出データの数以上で、かつ、前記内部読出データの数より少ない記憶容量を有し、前記読出モード時に、前記第1のインタフェイス部に対して保持していた前記外部読出データを出力し、

前記第2のインタフェイス部は、前記読出モード時に、前記第1のインタフェイス部から前記外部読出アドレス信号を受けて前記内部読出アドレス信号を発生して前記フラッシュメモリに与えて前記フラッシュメモリから前記内部読出データを含む複数のデータを読出し、前記内部読出しデータの一部を前記外部読出データとしてバッファメモリに送出する、請求項1に記載のフラッシュメ

メモリを搭載する記憶装置。

【請求項 7】 前記フラッシュメモリは、前記内部読出アドレス信号に応じて前記内部読出データに含まれる前記データ長のデータを所定の順序で逐次出力し、前記外部読出データは、前記所定の順序において前記外部読出アドレス信号に対応する位置を先頭位置とする連続する位置を占める、請求項 6 に記載のフラッシュメモリを搭載する記憶装置。

【請求項 8】 前記先頭位置は、前記外部読出アドレス信号に応じて前記外部読出データに含まれるデータ数を単位として前記所定の順序の第 1 番目を基準にして不連続に決定される、請求項 7 に記載のフラッシュメモリを搭載する記憶装置。

【請求項 9】 前記内部書込データに含まれるデータ数は、前記外部書込データに含まれるデータ数の整数倍である、請求項 8 に記載のフラッシュメモリを搭載する記憶装置。

【請求項 10】 前記フラッシュメモリは、クロックに同期して前記内部読出データを順次出力し、前記第 2 のインタフェース部は、前記外部読出アドレス信号から前記内部読出アドレス信号を発生し、前記内部読出データの一部を選択して前記外部読出データとして前記バッファメモリが格納するようにバッファメモリへ書込制御信号を発生する、データ転送制御部を有し、前記データ転送制御部は、前記フラッシュメモリから前記内部読出データの読出が開始されるときに、前記クロックのカウントを開始するカウンタと、前記外部書込アドレス信号に含まれるオフセット信号と前記カウンタのカウント値の上位から所定数ビットとが一致した時に一致信号を出力する比較器と、前記バッファメモリが前記クロックに同期して前記内部読出データの一部を前記外部読出データとして格納するように前記一致信号に応じて前記書込制御信号を前記バッファメモリに与えるゲート回路とを有する、請求項 7 に記載のフラッシュメモリを搭載する記憶装置。

【請求項 11】 ホストシステムから外部アドレス信号を受けて外部データを授受するデータ記憶を行う記憶装置であって、前記外部アドレスに対応する内部主アドレスおよび内部副アドレスを発生するデータ入出力部と、データ消去時には所定数のデータを保持するメモリ領域を最小単位とする一括消去が行われ、前記内部主アドレスによって前記メモリ領域単位での選択が行われ、前記内部副アドレスによって前記メモリ領域内のデータ授受開始位置が指定され複数のデータを含む内部データを逐次授受することが可能なフラッシュメモリとを備え、前記メモリ領域の記憶容量は、前記外部データに含まれるデータ数より大きく、

前記内部副アドレスは、前記外部書込データに含まれるデータ数を単位として前記メモリ領域の先頭アドレスを基準として不連続に発生される、フラッシュメモリを搭載する記憶装置。

【請求項 12】 前記データ入出力部は、前記ホストシステムと前記フラッシュメモリとの間のタイミング調整をするために前記外部データと前記内部データとを一時的に保持する前記外部データに含まれるデータ数に対応する記憶容量を有するバッファメモリを含む、請求項 11 に記載のフラッシュメモリを搭載する記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記憶装置に関し、より特定的には、フラッシュメモリを搭載する記憶装置に関する。

【0002】

【従来の技術】近年、半導体製造技術の進歩に伴い、フラッシュメモリの記憶容量も大きくなってきている。この大容量化に伴い、小型でかつ低消費電力である特性を生かして特に携帯機器の分野においては記録メディアとしてフラッシュメモリを搭載した記憶装置が使用されるようになってきた。

【0003】

【発明が解決しようとする課題】フラッシュメモリは、不揮発性で、一括消去後再書込ができる半導体記憶装置である。フラッシュメモリは、高密度に記憶素子を集積し、かつ、高速にデータ授受をするため、セクタアドレスを指定して一定量のデータをセクタ単位で読出、消去、書込（プログラム）を一括して行う。フラッシュメモリの大容量化に伴い、フラッシュメモリが一括してデータを読出す単位であるセクタ容量も増加する傾向にあり、たとえば、256MビットのAND型フラッシュメモリではこのセクタ容量は2048バイトになっている。

【0004】一方、パーソナルコンピュータを初めとする情報機器がハードディスクやメモリカード等の記憶装置とデータ授受を行なう際の単位のデータ容量（本明細書中では以降メディアセクタ容量と称する）は、たとえば、標準的には512バイトであり、このメディアセクタ容量は特に増加する傾向は見られない。

【0005】このような、セクタ構造を持ったフラッシュメモリを搭載する記憶装置では、フラッシュメモリのセクタデータを一時的に格納し、ホストシステムとのデータ転送を行なうためのタイミングおよび容量の調整を行なうためのバッファメモリを記憶装置の内部に搭載する必要がある。このバッファメモリは通常SRAM（Static Random Access Memory）等が用いられる。

【0006】ホストシステムとのデータ転送の容量、すなわちメディアセクタ容量が、フラッシュメモリのセク

タ容量よりも小容量である場合でも、バッファメモリの容量は、フラッシュメモリのセクタ容量と同容量もしくはそれ以上の容量にする必要があった。

【0007】しかしながら、フラッシュメモリのセクタ容量が年々大容量化しつつあり、このような場合には、バッファメモリとして大容量のSRAMを搭載する必要があり、コスト的にデメリットが生じていた。

【0008】本発明は、このような問題点を解決するようになされたもので、その目的は、メディアセクタ容量に相当する小容量のバッファメモリを搭載することを可能にし、コストダウンを図ったフラッシュメモリを搭載する記憶装置を提供することである。

【0009】

【課題を解決するための手段】請求項1に記載のフラッシュメモリを搭載する記憶装置は、ホストシステムから外部書込アドレス信号と外部書込データとを受けてデータ記憶を行う書込モードを備える記憶装置であって、データ消去時には所定数のデータを保持するメモリ領域を最小単位とする一括消去が行われ、所定数のデータ長を単位として複数のデータの書込がなされるフラッシュメモリを備え、フラッシュメモリは、書込モードにおいて、内部書込アドレス信号を受けて、内部書込データに含まれる複数のデータを取込み保持し、書込モードにおいて、外部書込アドレス信号を受けて内部書込アドレス信号を発生し、外部書込データを受けて保持して外部書込データと外部書込アドレス信号とに基づいて内部書込データを出力するデータ入出力部をさらに備え、データ入出力部は、書込モードにおいて、ホストシステムから外部書込データおよび外部書込アドレス信号を受ける第1のインタフェイス部と、外部書込データの数以上で、かつ、内部書込データの数より少ない記憶容量を有し、書込モードにおいて第1のインタフェイス部から外部書込データを受け取る、バッファメモリと、書込モードにおいて、第1のインタフェイス部から外部書込アドレス信号を受けて内部書込アドレス信号を発生し、バッファメモリから読出した外部書込データにメモリ領域のデータ書換が生じない外部書込アドレス信号に対応するデータを加えて内部書込データを発生する第2のインタフェイス部とを含む。

【0010】請求項2に記載のフラッシュメモリを搭載する記憶装置は、請求項1に記載のフラッシュメモリを搭載する記憶装置の構成において、データは、フラッシュメモリがデータ消去された直後に保持するデータに対応する値であり、第2のインタフェイス部は、内部書込データに含まれるデータ長のデータを所定の順序で逐次出力し、外部書込データは、所定の順序において外部書込アドレス信号に対応する位置を先頭位置とする連続する位置を占める。

【0011】請求項3に記載のフラッシュメモリを搭載する記憶装置は、先頭位置は、請求項2に記載のフラッ

ッシュメモリを搭載する記憶装置の構成において、外部書込アドレス信号に応じて外部書込データに含まれるデータ数を単位として所定の順序の第1番目を基準にして不連続に決定される。

【0012】請求項4に記載のフラッシュメモリを搭載する記憶装置は、請求項3に記載のフラッシュメモリを搭載する記憶装置の構成において、内部書込データに含まれるデータ数は、外部書込データに含まれるデータ数の整数倍である。

【0013】請求項5に記載のフラッシュメモリを搭載する記憶装置は、請求項2に記載のフラッシュメモリを搭載する記憶装置の構成に加えて、フラッシュメモリは、クロックに同期して内部書込データを順次取込み、第2のインタフェイス部は、バッファメモリに対する読出制御信号を発生してバッファメモリから外部書込データを受けて内部書込データを発生し、外部書込アドレス信号から内部書込アドレス信号を発生する、データ転送制御部を有し、データ転送制御部は、フラッシュメモリに内部書込データの書込が開始されるときに、クロックのカウントを開始するカウンタと、外部書込アドレス信号に含まれるオフセット信号とカウンタのカウント値の上位から所定数ビットとが一致した時に一致信号を出力する比較器と、バッファメモリがクロックに同期して外部書込データを出力するように一致信号に応じて読出制御信号をバッファメモリに与えるゲート回路と、一致信号が非活性化されている時はフラッシュメモリの消去後の初期値に対応する値をフラッシュメモリに与え、一致信号が活性化した時はバッファメモリから読出された外部書込データをフラッシュメモリに与える選択回路とを有する。

【0014】請求項6に記載のフラッシュメモリを搭載する記憶装置は、請求項1に記載のフラッシュメモリを搭載する記憶装置の構成に加えて、ホストシステムから外部読出アドレス信号を受けてホストシステムに外部読出データを出力する読出モードをさらに備え、データ入出力部は、読出モード時に、外部読出アドレス信号を受けて内部読出アドレス信号を発生してフラッシュメモリに与え、フラッシュメモリから読出される内部読出データの一部を選択して外部読出データとして保持した後、ホストシステムに対して外部読出データを出力し、第1のインタフェイス部は、読出モード時に、ホストシステムから受けた外部読出アドレス信号に応じた外部読出データをホストシステムに出力し、バッファメモリは、外部読出データの数以上で、かつ、内部読出データの数より少ない記憶容量を有し、読出モード時に、第1のインタフェイス部に対して保持していた外部読出データを出力し、第2のインタフェイス部は、読出モード時に、第1のインタフェイス部から外部読出アドレス信号を受けて内部読出アドレス信号を発生してフラッシュメモリに与えてフラッシュメモリから内部読出データを含む複数

のデータを読み出し、内部読み出しデータの一部分を外部読み出しデータとしてバッファメモリに送出する。

【0015】請求項7に記載のフラッシュメモリを搭載する記憶装置は、請求項6に記載のフラッシュメモリを搭載する記憶装置の構成に加えて、フラッシュメモリは、内部読み出しアドレス信号に応じて内部読み出しデータに含まれるデータ長のデータを所定の順序で逐次出力し、外部読み出しデータは、所定の順序において外部読み出しアドレス信号に対応する位置を先頭位置とする連続する位置を占める。

【0016】請求項8に記載のフラッシュメモリを搭載する記憶装置は、請求項7に記載のフラッシュメモリを搭載する記憶装置の構成において、先頭位置は、外部読み出しアドレス信号に応じて外部読み出しデータに含まれるデータ数を単位として所定の順序の第1番目を基準にして不連続に決定される。

【0017】請求項9に記載のフラッシュメモリを搭載する記憶装置は、請求項8に記載のフラッシュメモリを搭載する記憶装置の構成において、内部書き込みに含まれるデータ数は、外部書き込みに含まれるデータ数の整数倍である。

【0018】請求項10に記載のフラッシュメモリを搭載する記憶装置は、請求項7に記載のフラッシュメモリを搭載する記憶装置の構成に加えて、フラッシュメモリは、クロックに同期して内部読み出しデータを順次出力し、第2のインタフェース部は、外部読み出しアドレス信号から内部読み出しアドレス信号を発生し、内部読み出しデータの一部を選択して外部読み出しデータとしてバッファメモリが格納するようにバッファメモリへ書き込み制御信号を発生する、データ転送制御部を有し、データ転送制御部は、フラッシュメモリから内部読み出しデータの読み出しが開始されるときに、クロックのカウントを開始するカウンタと、外部書き込みアドレス信号に含まれるオフセット信号とカウンタのカウント値の上位から所定数ビットとが一致した時に一致信号を出力する比較器と、バッファメモリがクロックに同期して内部読み出しデータの一部を外部読み出しデータとして格納するように一致信号に応じて書き込み制御信号をバッファメモリに与えるゲート回路とを有する。

【0019】請求項11に記載のフラッシュメモリを搭載する記憶装置は、ホストシステムから外部アドレス信号を受けて外部データを授受するデータ記憶を行う記憶装置であって、外部アドレスに対応する内部主アドレスおよび内部副アドレスを発生するデータ入出力部と、データ消去時には所定数のデータを保持するメモリ領域を最小単位とする一括消去が行われ、内部主アドレスによってメモリ領域単位での選択が行われ、内部副アドレスによってメモリ領域内のデータ授受開始位置が指定され複数のデータを含む内部データを逐次授受することが可能なフラッシュメモリとを備え、メモリ領域の記憶容量は、外部データに含まれるデータ数より大きく、内部副

アドレスは、外部書き込みに含まれるデータ数を単位としてメモリ領域の先頭アドレスを基準として不連続に発生される。

【0020】請求項12に記載のフラッシュメモリを搭載する記憶装置は、請求項11に記載のフラッシュメモリを搭載する記憶装置の構成に加えて、データ入出力部は、ホストシステムとフラッシュメモリとの間のタイミング調整をするために外部データと内部データとを一時的に保持する外部データに含まれるデータ数に対応する記憶容量を有するバッファメモリを含む。

【0021】

【発明の実施の形態】以下図面を参照しつつ、本発明の実施の形態について詳しく説明する。なお、図中同一符号は、同一または相当部分を示す。

【0022】〔実施の形態1〕図1は、フラッシュメモリを搭載した記憶装置1の概略構成を示すブロック図である。

【0023】図1を参照して、記憶装置1は、ホストシステム12と記憶する外部データの授受を行なうためのものであり、ホストシステムからメディアアドレスを受けてアドレス変換を行い、ホストシステムの間で外部データを授受するためにデータ変換を行うデータ入出力部9と、データ入出力部9が変換したアドレス信号に応じてデータ授受を行うフラッシュメモリ10とを含む。データ入出力部9はフラッシュメモリ10が入出力するデータと外部データとの間のデータの変換を行う。

【0024】データ入出力部9は、ホストシステムとデータ転送を行なうホストインタフェース部2と、ホストインタフェース部2がホストシステム12とデータ転送を行なうためにフラッシュメモリのセクタデータの一部分を一時的に格納する512バイトの容量を持つバッファメモリ4と、ホストインタフェース部2からの指令に応じてバッファメモリ4とフラッシュメモリとのデータ授受のコントロールを行なうフラッシュインタフェース部7と、記憶装置1が記憶すべきデータを保持する半導体装置であるフラッシュメモリ10とを含む。

【0025】フラッシュインタフェース部7は、フラッシュメモリの仕様に合わせたシーケンスで、読み出しや書き込み等の動作を設定するコマンドや、読み出しや書き込み時にメモリ領域を指定するためのアドレスをフラッシュメモリに送出するシーケンサ部6と、ホストシステム12から与えられたメディアセクタアドレスからフラッシュメモリのセクタアドレスおよびカラムアドレスオフセットを生成するデータ転送制御部8とを含む。

【0026】フラッシュメモリ10は、各々が2048バイトの容量を持つ複数のセクタを有する。フラッシュメモリ10は、セクタアドレスが指定されると、指定されたセクタに記憶されている2048バイトのデータをシリアルに出力することができる。

【0027】図2は、実施の形態1におけるフラッシュ

メモリとバッファメモリとのアドレスの対応関係を示すメモリマップである。

【0028】図2を参照して、メディアセクタ容量、すなわち記憶装置1が一括してデータ授受を行なうセクタ容量が512バイト、フラッシュメモリ10の1セクタが2048バイトである場合のメモリマップであり、フラッシュメモリ10の1/4セクタをメディアセクタとして割当てている。

【0029】たとえば、メディアセクタアドレス0hは、フラッシュセクタアドレス0hのフラッシュカラムアドレス0h～1FFhに相当する。メディアセクタアドレス1hは、フラッシュセクタアドレス0hのフラッシュカラムアドレス200h～3FFhに相当する。同様に、メディアセクタアドレス2hは、フラッシュセクタアドレス0hのフラッシュカラムアドレス400h～5FFhに相当する。メディアセクタアドレス3hは、フラッシュセクタアドレス0hのフラッシュカラムアドレス600h～7FFhに相当する。つまり、各フラッシュセクタアドレスはそれぞれ4分割され、メディアセクタアドレスに割当てられている。

【0030】図3は、メディアセクタアドレスをフラッシュセクタアドレスとカラムアドレスオフセット生成ビットとに変換する説明をするための図である。

【0031】図3を参照して、メディアセクタアドレスMA15～MA0の上位14ビットは、フラッシュセクタアドレスSA13～SA0として使用される。また、メディアセクタアドレスのうち下位2ビットであるMA1、MA0は、カラムアドレスオフセット生成ビットC1、C0として使用され、このカラムアドレスオフセット生成ビットから後に説明するスタートフラッシュカラムアドレスオフセットを発生する。

【0032】図4は、スタートフラッシュカラムアドレスオフセットとメディアセクタアドレスの下位2ビットとの関係を示す図である。

【0033】図4を参照して、MA1、MA0がともに0であるときは、スタートフラッシュカラムアドレスオフセットは0hに設定され、メディアセクタ容量である512バイトのデータの授受がバッファメモリとフラッシュメモリとの間で行なわれる。

【0034】MA1、MA0がそれぞれ、0、1であるときは、スタートフラッシュカラムアドレスオフセットは200hに設定され、バッファメモリとフラッシュメモリとの間のデータ授受が行なわれる。

【0035】MA1、MA0がそれぞれ1、0の場合には、スタートフラッシュカラムアドレスオフセットは400hに設定され、バッファメモリとフラッシュメモリとの間でデータ授受が行なわれる。

【0036】MA1、MA0がともに1であるときは、スタートフラッシュカラムアドレスオフセットは600hに設定され、バッファメモリとフラッシュメモリとの

間のデータ授受が行なわれる。

【0037】図5は、実施の形態1の記憶装置の処理のメインフローを示す図である。図5を参照して、ステップS01は、ホストシステムからの要求待ちのステップである。続いて、ステップS02において、読出の要求があったか否かが判断される。読出要求があった場合には、ステップS04に移り、読出処理が行なわれる。読出処理が完了すると、再び、ステップS01に戻りホストシステムからの要求待ち状態となる。

【0038】ステップS02において、読出要求が行なわれていない場合には、ステップS03に進む。ステップS03では、ホストシステムから書込要求が行なわれていないかどうか判断される。書込要求があった場合には、ステップS05に進み、書込処理が行なわれる。書込処理が完了すると、再び、ステップS01に進みホストシステムからの要求待ち状態となる。

【0039】ステップS03において、書込要求が行なわれなかった場合には、再び、ステップS01に戻り、ホストシステムからの要求待ち状態となる。

【0040】図6は、図5に示したステップS04の読出処理の詳細を示すフローチャートである。

【0041】図6を参照して、ステップS11において、読出が開始される。次いで、ステップS12において、メディアセクタアドレスがホストシステムから受信される。続いて、受信したメディアセクタアドレスをもとにアドレス変換が行なわれ、図4で示したスタートフラッシュカラムアドレスオフセットの値が生成される。

【0042】続いてステップS14において、フラッシュメモリからセクタ読出が行なわれる。そして読出されたデータは、ステップS15において、オフセット値に基づきバッファメモリに書込まれる。続いてステップS16において、ホストシステムに割込み信号を送出し、ステップS17において、バッファメモリに書込まれたデータをホストシステムに対して読出データとして送出する。そしてステップS18において、読出が終了する。

【0043】図7は、図6に示した読出処理の各ステップが記憶装置内のどのブロックで実施されているかを示す図である。

【0044】図7を参照して、まずホストシステムからコントローラやバッファメモリに対してメディアセクタアドレスの読出要求が発信される。コントローラというのは、図1におけるホストインタフェイス部2およびフラッシュインタフェイスシーケンサ部6に該当する。

【0045】これを受けて、コントローラではメディアセクタアドレスからフラッシュメモリのセクタアドレスSAとオフセット値の生成がされる。そして、フラッシュメモリに対してリードコマンドとセクタアドレスSAが発信される。応じて、フラッシュメモリではセクタリードが行なわれ2048バイトのデータが順次フラッシュ

ュインタフェイスデータ出力としてコントローラに送出される。これを受けてコントローラではメディアセクタアドレスに基づくオフセットに対応する512バイトのデータを抜き出してバッファメモリへと転送する。

【0046】そしてバッファメモリへのデータの格納が終了すると、コントローラはホストシステムに対してメディアセクタアドレスのデータ読出要求を行ないホストシステムは割込みを受付ける。続いて、コントローラはバッファメモリからデータを出力しこれによりメディアセクタアドレスのデータ読出が行なわれる。そして読出が終了する。

【0047】図8は、図5に示したステップS05における書込処理の詳細を示すフローチャートである。

【0048】図8を参照して、まず、ステップS21において書込が開始される。続いて、ステップS22においてホストシステムから発信されたメディアセクタアドレスが受信される。

【0049】続いて、ステップS23において、記憶装置がホストシステムに対してデータを要求する。そして、ステップS24において、記憶装置がホストシステムからデータを受信する。このデータはステップS25において、バッファメモリに書込まれる。

【0050】そして、ステップS26において、ステップS22で受信したメディアセクタアドレスからオフセット値の生成がされる。その後、ステップS27においてフラッシュメモリに対するプログラムコマンドの設定がされる。続いて、ステップS28において、バッファメモリからのデータを初期値データと合成し所定のタイミングでフラッシュメモリに書込が行なわれる。

【0051】そして、ステップS29において書込が終了する。図9は、図8に示した書込処理の各ステップがホストシステムとコントローラおよびバッファメモリとフラッシュメモリとの間でどのように行なわれるかを示す図である。

【0052】図9を参照して、まずホストシステムからメディアセクタアドレスの書込要求がコントローラに向けて発信される。続いて、コントローラはこれを受けてメディアセクタアドレスへのデータ書込要求をホストシステムに対して行なう。応じてホストシステムはメディアセクタアドレスに対するデータの書込を行なう。このデータはコントローラを経由してバッファメモリに入力される。

【0053】続いて、コントローラでは受信していたメディアセクタアドレスからフラッシュメモリのセクタアドレスおよびオフセット値の生成がされる。そして、フラッシュメモリに対するプログラムコマンドおよびセクタアドレスの発信がされる。

【0054】これを受けて、フラッシュメモリはデータ書込可能状態となる。そして、コントローラからの所定の信号に基づきバッファメモリからはオフセット値に基

づいて格納されていた512バイトのデータが転送される。フラッシュメモリへの書込データが転送されている期間のうち、バッファメモリに格納されていたデータが転送される期間以外の書込データとしては“FFh”が転送される。フラッシュメモリへバッファメモリのデータを含む書込データが入力されると、その後、所定のウェイト時間経過後書込が終了する。

【0055】ここで、書込みデータ“FFh”について説明する。フラッシュメモリの各メモリセルは、フローティングゲートを有するMOSトランジスタで構成されている。各メモリセルはMOSトランジスタのしきい値電圧の状態データ“1”、“0”を保持している。一般に、メモリセルの消去直後の状態は、保持データ“1”に対応する。データ“0”の書込動作がされるとしきい値電圧が変化し、変化後のしきい値電圧を有するメモリセルの状態が保持データ“0”に対応する。一方、データ“1”の書込動作ではしきい値電圧は変化しない。このため、初期状態としてデータ“0”を保持しているメモリセルに対してデータ“1”の書込動作が行われても、保持データは変化しない。

【0056】つまり、通常は、メモリセルデータの消去が行なわれてからデータの書込が行なわれるが、実施の形態1では、消去動作を行わずデータとして“FFh”を書込む。“FFh”はビットがすべて“1”の1バイトのデータであるため、フラッシュメモリは書込む直前のデータを保持するのである。

【0057】図10は、図1に示したデータ転送制御部8の詳細を示すブロック図である。図10を参照して、データ転送制御部8は、記憶装置内部で生成されるリードセクタインーブル信号RSE#をクロック信号SCの立上がり同期してラッチするフリップフロップ22と、フリップフロップ22の出力と記憶装置内部で生成されるライトセクタインーブル信号WSE#との論理和をリセット信号RSTとして出力するAND回路24と、リセット信号RSTによってリセットされその後クロック信号SCの立上がり同期してカウントアップを開始するSCカウンタ26と、ホストシステムより16ビットのメディアセクタアドレスをラッチして上位14ビットをシーケンサ部6へセクタアドレスSA0～SA15として出力するメディアセクタアドレスラッチ部30と、SCカウンタ26の出力である11ビットの計数値のうち上位2ビットとメディアセクタアドレスラッチ部30がラッチしたメディアセクタアドレスの下位2ビットとを比較する比較器32を含む。

【0058】比較器32は、SCカウンタ26からの2ビットのデータとメディアセクタアドレスラッチ部30からの2ビットのデータとが一致したときにLレベルとなる比較結果信号をCMPを出力する。

【0059】データ転送制御部8は、さらに、フリップフロップ22の出力とクロック信号SCと結果信号CM

10

20

30

40

50



Pとを受けてライトイネーブル信号／WE#を出力するゲート回路28と、バッファメモリ4からの出力と固定データ“FFh”とを受けて比較結果信号CMPに応じてフラッシュメモリに対して出力するセクタ34を含む。セクタ34は、比較信号CMPがLのときはバッファメモリからの出力をフラッシュメモリに対して出力し、比較信号CMPがHのときは固定データ“FFh”をフラッシュメモリに対して出力する。

【0060】尚、説明の便宜のため、図10にはバッファメモリ4が記載されている。バッファメモリ4は、SCカウンタ26の11ビットの計数値のうちの下位9ビットをアドレス信号ADRとして受け、ライトセクタイネーブル信号WSE#をアウトプットイネーブル信号／OE#として受け、ゲート回路28の出力をライトイネーブル信号／WE#として受けこれらにตอบสนองしてフラッシュメモリからのデータ入力DIを受けて保持し、またはセクタ34を介してフラッシュメモリへデータ出力DOを送出する。

【0061】図11は、フラッシュメモリからバッファメモリへのデータ転送の様子を示すタイミング図である。

【0062】図11を参照して、時刻t1からクロック信号SCに応じてデータ信号DATAがフラッシュメモリから読出される。この読出は、セクタ単位で行なわれるため、通常は2048データが連続して以後読出される。

【0063】ここで、ホストシステムから指定されたメディアセクタアドレスのうち最下位の2ビットである

(MA1, MA0)が(0, 1)のときには時刻t1～t2においては、フラッシュメモリから読出されたデータはバッファメモリへは転送されない。

【0064】そして、時刻t2～t3において、カラムアドレス200h～3FFhに相当するデータがフラッシュメモリから読出されている間は、これらのデータはバッファメモリへと転送されて保持される。この保持されるデータは、フラッシュメモリから読出されるセクタ容量2048バイトのうちの512バイトであり、セクタ容量の4分の1である。

【0065】時刻t3以降は、カラムアドレス400h以降のデータが順次読出されるが、これらはバッファメモリへは保持されることはない。

【0066】図12は、図11に示したバッファメモリへのデータ書込の動作をより詳細に示した動作波形図である。

【0067】図10、図12を参照して、時刻t0において、ホストシステムから読出要求が行なわれたことに応じて、リードセクタイネーブル信号RSE#がHレベルからLレベルへと立下がる。続いて、時刻t1においてリセット信号RSTがHレベルからLレベルへと立下がり、SCカウンタ26のリセットが解除される。以

降、時刻t1～t2において、クロック信号SCの入力に応じてSCカウンタ26は11ビットのカウント値を0hから1FFhまでカウントアップする。カウント値の下位9ビットであるバッファメモリに入力されるアドレス信号ADRは、同様に0hから1FFhまで変化する。このとき、比較器32に入力されるカウント値の上位2ビットは(0, 0)であり、メディアセクタアドレスラッチ部30からの2ビットの入力は(0, 1)であるため、比較結果信号CMPは不一致を示すHレベルである。そのため、データ入力信号DIの内容は、時刻t1～t2においては、バッファメモリ4に書込まれることはない。

【0068】時刻t2において、SCカウンタ26のカウント値が200hになり、カウント値の上位2ビットがメディアセクタアドレスラッチ部30から入力される2ビットの信号と一致する。応じて、比較結果信号CMPがHからLレベルへと立下がる。すなわち、そして、比較結果信号CMPは、カウント値が200h～3FFhである間Lレベルとなる。この比較結果信号CMPの変化に応じて、ゲート回路28がクロック信号SCをライトイネーブル信号／WE#としてバッファメモリに対して出力する。バッファメモリ4は、ライトイネーブル信号／WE#が入力されるため、ライトイネーブル信号／WE#の立上がりエッジにおけるアドレス信号ADRが示すアドレスにデータ入力であるデータ0h～データ1FFhが書込まれる。

【0069】時刻t3以降においては、SCカウンタ26のカウント値が400h以上となるため、比較結果信号CMPは再びHレベルになり、以降入力されるデータはバッファメモリへは書込まれない。

【0070】図13は、バッファメモリからフラッシュメモリへのデータ転送の様子を示すタイミング図である。

【0071】図13を参照して、メディアセクタアドレス(MA1, MA0)が(0, 1)のときには、時刻t1～t2において、フラッシュメモリのカラムアドレス0h～1FFhには、ダミーデータである“FFh”が書込まれる。このダミーデータは、フラッシュメモリの消去直後の初期値に対応するデータであり、一般に、フラッシュメモリはこの初期値データを書込む動作を行なっても既に内部に保持されているデータが破壊されることはない。

【0072】したがって、実施の形態1の記憶装置は、一括消去され、その後逐次データを追加していくような用途、例えば、デジタルカメラの画像の一時保存や、携帯型デジタルオーディオ機器の音響信号の保存等に好適に用いられる。

【0073】時刻t2～t3において、フラッシュメモリのカラムアドレス200h～3FFhには、バッファメモリからデータが順次書込まれる。このデータはフラ

ッシュメモリのセクタ容量の1/4に相当する512バイトのデータである。

【0074】時刻t3以降は、時刻t1～t2と同様に、ダミーデータである“FFh”が書込まれる。

【0075】図14は、図13に示したバッファメモリからフラッシュメモリへのデータ転送の様子をさらに詳しく説明するための動作波形図である。

【0076】図10、図14を参照して、時刻t0において、ホストシステムからの書込要求に応じてライトセクタイネーブル信号WSE#がHレベルからLレベルへと立下がる。応じて、リセット信号RSTがHレベルからLレベルへと立下がり、SCカウンタ26のリセットが解除される。また、バッファメモリのアウトプットイネーブル入力信号/OE#はHレベルからLレベルへと立下がり、バッファメモリ4は、アクセス可能な状態となる。

【0077】時刻t1～t2において、クロック信号SCの立上がり同期して、セクタ34が出力するデータ出力信号がフラッシュメモリへ書込まれる。そのときの書込カラムアドレスに対応するカウント値がSCカウンタ26によってカウントアップされる。時刻t1～t2においてはメディアセクタアドレス(MA1, MA0)がSCカウンタ26の上位2ビットと一致しないので、データ出力信号DOはセクタ34の“1”側の入力ノードに入力されている固定データ“FFh”である。

【0078】時刻t2において、カウント値の変化に従って、比較結果信号CMPはHレベルからLレベルへと立下がり、アドレス信号ADRに指定されるアドレスのデータはバッファメモリ4から読出され、セクタ34を介してデータ出力信号DOとしてフラッシュメモリへと転送される。以降時刻t3に至るまでの間バッファメモリからフラッシュメモリへとデータ転送が行なわれる。

【0079】データ0h～データ1FFhの512バイトのデータの転送が終了すると、時刻t3において、カウント値の変化に従い比較結果信号CMPがLレベルからHレベルへと立上がるため、再びデータ出力信号はセクタ34の“1”側の入力ノードに入力されている固定値“FFh”となる。

【0080】以上説明したように、実施の形態1の記憶装置は、一括消去され、その後逐次データを追加していくような用途、例えば、デジタルカメラの画像の一時保存や、携帯型デジタルオーディオ機器の音響信号の保存等に好適に用いられる。

【0081】そして、使用するフラッシュメモリの1セクタの容量よりもホストシステムとのデータ転送の単位容量であるメディアセクタ容量が小さい場合に、一時的なデータ格納を行なうバッファメモリの容量をメディアセクタ容量に合わせて小さくすることができるため、ハ

ードウェアを構成する上でコスト的に有利な記憶装置を提供することができる。

【0082】〔実施の形態2〕図15は、実施の形態2の記憶装置51の概略構成を示すブロック図である。

【0083】図15を参照して、記憶装置51は、ホストシステム12と記憶する外部データの授受を行なうためのものであり、ホストシステムからメディアアドレスを受けてアドレス変換を行い、ホストシステムの間で外部データを授受するためにデータ変換を行うデータ入出力部59と、データ入出力部59が変換したアドレス信号に応じてデータ授受を行うフラッシュメモリ60を含む。データ入出力部59はフラッシュメモリ60が入出力するデータと外部データとの間のデータの変換を行う。

【0084】データ入出力部59は、ホストシステム12とデータ転送を行なうホストインタフェイス部52と、ホストインタフェイス部52がホストシステム12とデータ転送を行なうために記憶データを一時的に格納する512バイトの容量を持つバッファメモリ54と、ホストインタフェイス部52からの指令に応じてバッファメモリ54とフラッシュメモリ60とのデータ授受のコントロールを行なうフラッシュインタフェイス部57を含む。

【0085】フラッシュインタフェイス部57は、フラッシュメモリの仕様に合わせたシーケンスで、読出や書込等の動作を設定するコマンドや、読出や書込時にメモリ領域を指定するためのアドレスをフラッシュメモリに送出するシーケンサ部56と、ホストシステム12から与えられたメディアセクタアドレスからフラッシュメモリのセクタアドレスとセクタアドレスで指定されたカラムの読出開始位置を指定するスタートカラムアドレスとを生成するカラムアドレス制御部58を含む。

【0086】図15において、フラッシュメモリ60は、データのリードおよびプログラムをセクタの任意のカラムアドレスから読出および書込開始をすることができる分割リード/プログラム機能を有する。

【0087】フラッシュメモリ60は、各々が2048バイトの容量を持つ複数のセクタを有する。フラッシュメモリは、セクタアドレスが指定されると、指定されたセクタ容量分だけのデータをクロック信号に同期してシリアルに出力することができる。そして、スタートカラムアドレスがさらに指定されると、指定されたセクタのカラムアドレスに該当するデータからセクタの最終アドレスに該当するデータまでをクロック信号に同期してシリアルに出力することができる。

【0088】図16は、実施の形態2におけるフラッシュメモリとバッファメモリとの対応関係を示すメモリマップである。

【0089】図16に示されるメモリマップは、図2に示した実施の形態1に用いられるメモリマップと同様の

10

20

30

40

50

割付を示しているため説明は繰返さない。

【0090】図17は、メディアセクタアドレスがフラッシュセクタアドレスとスタートカラムアドレスとに変換されることを説明するための図である。

【0091】図17を参照して、メディアセクタアドレスMA15～MA0の上位14ビットは、フラッシュセクタアドレスSA13～SA0として使用される。また、メディアセクタアドレスのうち下位2ビットであるMA1、MA0は、スタートカラムアドレスのうちそれぞれCA10、CA9として使用される。また、スタートカラムアドレスの他のビットであるCA11、CA8～CA0はすべて“0h”に設定される。

【0092】図18は、フラッシュメモリのスタートカラムアドレスとメディアセクタアドレスの下位2ビットとの関係を示す図である。

【0093】図18を参照して、MA1、MA0がともに0であるときは、スタートカラムアドレスは0hに設定され、MA1、MA0がそれぞれ0、1であるときは、スタートカラムアドレスは200hに設定される。

【0094】MA1、MA0がそれぞれ1、0であるときは、スタートカラムアドレスは400hに設定され、MA1、MA0がともに1であるときは、スタートカラムアドレスは600hに設定される。このアドレス変換は図15のカラムアドレス制御部58で行われるが、図18に対応する配線の接続をするだけで容易に実現できる。

【0095】図19は、スタートカラムアドレスの説明をするための概念図である。図19を参照して、1セクタが2048バイトであるときは、フラッシュセクタアドレスSAに対応して0h～7FFhのカラムアドレスが存在する。スタートカラムアドレスCAを設定すると、設定したフラッシュセクタアドレスSA中のスタートカラムアドレスに対応するカラムのデータからクロック信号に同期して読出が開始される。

【0096】図20は、分割リード／プログラム機能を有するフラッシュメモリからデータを読出す際のコマンド設定とアドレス設定とを説明するための動作波形図である。

【0097】図20を参照して、時刻t1において、コマンドデータイネーブル信号／CDE#がLレベルのときに、ライトイネーブル信号／WE#の立上がりエッジが検出されると、そのタイミングにおいて、リードコマンドがフラッシュメモリに取込まれる。

【0098】時刻t2において、ライトイネーブル信号／WE#の立上がりエッジにおいて、セクタアドレスの下位8ビットであるSA(1)が取込まれる。次いで時刻t3において、ライトイネーブル信号／WE#の立上がりエッジにおいて、セクタアドレスの上位6ビットであるSA(2)がフラッシュメモリに取込まれる。

【0099】次いで、時刻t4において、ライトイネー

ブル信号／WE#の立上がりエッジでスタートカラムアドレスCAの下位8ビットであるCA(1)がフラッシュメモリに取込まれる。続いて、時刻t5において、ライトイネーブル信号／WE#の立上がりエッジでスタートカラムアドレスの上位4ビットであるCA(2)が取込まれる。

【0100】時刻t6以降は、クロック信号SCに同期してアドレス／データ入出力端子から指定されたスタートカラムアドレスのデータを先頭にしてフラッシュメモリからデータが出力される。

【0101】図21は、実施の形態2においてフラッシュメモリにデータを書込む入力波形を示す図である。

【0102】図21を参照して、時刻t1において、コマンドデータイネーブル入力／CDE#がLレベルのときに、ライトイネーブル信号／WE#の立上がりエッジが検出されると、プログラムコマンドがフラッシュメモリに読込まれる。

【0103】続いて、時刻t2において、ライトイネーブル信号／WE#の立上がりエッジでセクタアドレスの下位8ビットであるSA(1)がフラッシュメモリに取込まれる。続いて、時刻t3において、ライトイネーブル信号／WE#の立上がりエッジでセクタアドレスの上位6ビットであるSA(2)がフラッシュメモリに取込まれる。

【0104】時刻t4において、ライトイネーブル信号／WE#の立上がりエッジでスタートカラムアドレスの下位8ビットであるCA(1)がフラッシュメモリに取込まれる。続いて、時刻t5において、ライトイネーブル信号／WE#の立上がりエッジでスタートカラムアドレスの上位4ビットであるCA(2)がフラッシュメモリに取込まれる。以上でアドレス設定が終了する。

【0105】時刻t6以降は、設定されたセクタアドレスのスタートカラムアドレスに対応するデータを先頭としてクロック信号SCに同期してシリアルにデータ入力がされ対応するアドレスにデータが書込まれる。

【0106】図20、図21で示したフラッシュメモリに対するコマンドやアドレス信号を与える制御は、図15におけるフラッシュインタフェースシーケンサ部56で行なわれる。

【0107】図22は、実施の形態2の記憶装置の処理のメインフローを示す図である。図22を参照して、実施の形態2の記憶装置の処理のメインフローは、図5に示した実施の形態1の読出処理ステップS04に代えてステップS104を含み、書込処理ステップS05に代えてステップS105を含む点が図5で示したフローと異なる。他の部分は図5で示したフローと同様であるので説明は繰返さない。

【0108】図23は、図22に示したステップS104の読出処理の詳細を示すフローチャートである。

【0109】図23を参照して、ステップS111にお

10

20

30

40

50

いて、読出が開始される。次いで、ステップS112において、メディアセクタアドレスがホストシステムから受信される。続いて、ステップS113において、受信したメディアセクタアドレスを変換してフラッシュメモリのセクタアドレスSAおよびスタートカラムアドレスCAが発生される。続いて、ステップS114において、フラッシュメモリの分割リードコマンドが設定されセクタアドレスSAおよびスタートカラムアドレスCAも指定される。そして、ステップS115において、データがフラッシュメモリから読出され、バッファメモリに書込まれる。

【0110】バッファメモリへの書込が終了すると、ステップS116においてホストシステムに対して割込信号が送出される。

【0111】続いて、ステップS117において、バッファメモリに書込まれたデータはホストシステムに対して読出データとして送出される。そして、ステップS118において、読出が終了する。

【0112】図24は、図23で示した読出処理の各ステップが記憶装置内のどのブロックで実施されているかを示す図である。

【0113】図24を参照して、まずホストシステムからコントローラやバッファメモリに対してメディアセクタアドレスの読出要求が発信される。コントローラというのは、図15におけるホストインタフェイス部52およびフラッシュインタフェイスシーケンサ部56に該当する。

【0114】これを受けてコントローラではメディアセクタアドレスからフラッシュメモリのセクタアドレスSAとスタートカラムアドレスCAとが生成される。そしてコントローラからはリードコマンドとセクタアドレスおよびスタートカラムアドレスとがフラッシュメモリに送出される。応じて、フラッシュメモリでは、分割リード動作が行なわれ、512バイトのデータがバッファメモリへと出力される。バッファメモリへのデータ書込が終了すると、コントローラは指定されたメディアセクタアドレスのデータ読出をホストシステムに対して要求する。そして、バッファメモリからはホストシステムに対してデータの読出が行なわれ、読出動作は終了する。

【0115】図25は、図22に示したステップS105における書込処理の詳細を示すフローチャートである。

【0116】図25を参照して、まずステップS121において書込が開始される。続いてステップS122においてホストシステムから発信されたメディアセクタアドレスが受信される。

【0117】続いて、ステップS123において、記憶装置がホストシステムに対してデータを要求する。そして、ステップS124においてホストシステムからデータを受信する。このデータは、ステップS125におい

てバッファメモリに書込まれる。

【0118】そして、ステップS126において、ステップS122で受信したメディアセクタアドレスからフラッシュメモリのセクタアドレスSAおよびスタートカラムアドレスCAが生成される。続いてステップS127において、フラッシュメモリに対して分割プログラムコマンドが設定され、続いてセクタアドレスSAおよびスタートカラムアドレスCAの指定がされる。

【0119】そして、ステップS128において、データが、バッファメモリから読出されフラッシュメモリに書込まれる。そしてステップS129において、データの書込が終了する。

【0120】図26は、図25に示した書込処理の各ステップがホストシステムとコントローラおよびバッファメモリとフラッシュメモリとの間でどのように行なわれるかを示す図である。

【0121】図26を参照して、まずホストシステムからメディアセクタアドレスの書込要求がコントローラに向けて発信される。続いて、コントローラはこれを受けてメディアセクタアドレスのデータ書込要求をホストシステムに対して行なう。応じてホストシステムはメディアセクタアドレスに対するデータの書込を行なう。このデータはコントローラを経由してバッファメモリに入力される。

【0122】続いて、コントローラでは、受信していたメディアセクタアドレスからフラッシュメモリのセクタアドレスSAおよびスタートカラムアドレスCAが生成される。そして、コントローラがフラッシュメモリに対してプログラムコマンドとセクタアドレス/SAおよびスタートカラムアドレス/CAの設定を行なう。応じて、フラッシュメモリは、分割プログラム動作を行なう。そしてバッファからは512バイトのデータがフラッシュメモリに対して入力され、所定のカラムアドレスを先頭にしてデータ書込が行なわれる。フラッシュメモリへバッファメモリから512バイトの書込データが入力されると、その後、所定のウェイト時間経過後書込が終了する。

【0123】実施の形態2においては、バッファメモリのアドレス制御およびメディアセクタアドレスからフラッシュメモリに与えるアドレス信号の生成は図15におけるカラムアドレス制御部58で行なわれる。

【0124】図27は、図15におけるカラムアドレス制御部58の詳細を示すブロック図である。

【0125】図27を参照して、カラムアドレス制御部58は、記憶装置内部で生成されるリードセクタイネーブル信号RSE#をクロック信号SCの立上がり同期してラッチするフリップフロップ72と、フリップフロップ72の出力と記憶装置内部で生成されるライトセクタイネーブル信号WSE#との論理和をリセット信号RSTとして出力するAND回路74と、リセット信号R

S1によってリセットされその後クロック信号SCの立上がりに応じてカウントアップを開始する9ビットのSCカウンタ76と、ホストシステムより16ビットのメディアセクタアドレスをラッチして上位14ビット、下位2ビットをそれぞれセクタアドレスSA0～SA15、スタートカラムアドレスCA0～1としてシーケンサ部8へ出力するメディアセクタアドレスラッチ部30と、フリップフロップ72の出力とクロック信号SCとを受けてライトイネーブル信号／WE#を出力するゲート回路78とを含む。

【0126】尚、説明の便宜のため、図10にはバッファメモリ4が記載されている。バッファメモリ4は、SCカウンタ26の計数値9ビットをアドレス信号ADRとして受け、ライトセクタイネーブル信号WSE#をアウトプットイネーブル信号／OE#として受け、ゲート回路28の出力をライトイネーブル信号／WE#として受けこれらにตอบสนองしてフラッシュメモリからのデータ入力DIを受けて保持し、またはフラッシュメモリへデータ出力DOを送出する。

【0127】以上説明したように、実施の形態2においては、ホストインタフェイス部がホストシステムとデータ転送を行なうときにデータを一時的に格納するバッファメモリの容量をフラッシュメモリの1セクタの容量よりも小さくできるため、コストメリットのある記憶装置を提供することができる。さらに、分割リード／プログラム可能なフラッシュメモリを搭載し使用することで、メディアセクタ単位で読出および再書込が可能である。

【0128】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0129】

【発明の効果】請求項1に記載のフラッシュメモリを搭載する記憶装置は、セクタ読出をするフラッシュメモリを記憶用半導体装置として用いる場合小容量のバッファメモリを搭載するのでコスト的に有利である。

【0130】請求項2に記載のフラッシュメモリを搭載する記憶装置は、請求項1に記載のフラッシュメモリを搭載する記憶装置が奏する効果に加えて、ダミーデータとしてフラッシュメモリが消去された直後のデータと同じデータを書込むため、既にデータ保持が行なわれた部分のデータが失われることはない。

【0131】請求項3～5に記載のフラッシュメモリを搭載する記憶装置は、請求項1に記載のフラッシュメモリを搭載する記憶装置が奏する効果に加えて、フラッシュメモリのセクタ容量を外部のメディアセクタ容量で区切って使用することができ、効率的にフラッシュメモリを使用することができる。

【0132】請求項6～7に記載のフラッシュメモリを搭載する記憶装置は、請求項1に記載のフラッシュメモリを搭載する記憶装置が奏する効果に加えて、セクタデータの読出をする際にも小容量のバッファメモリを使用することができる。

【0133】請求項8～10に記載のフラッシュメモリを搭載する記憶装置は、請求項6に記載のフラッシュメモリを搭載する記憶装置が奏する効果に加えて、フラッシュメモリのセクタ容量を外部のメディアセクタ容量で区切って使用することができ、効率的にフラッシュメモリを使用することができる。

【0134】請求項11～12に記載のフラッシュメモリを搭載する記憶装置は、小容量のバッファメモリを搭載するのでコスト的に有利であり、さらに、メディアセクタ単位でデータの再書込が可能である。

【図面の簡単な説明】

【図1】 フラッシュメモリを搭載した記憶装置1の概略構成を示すブロック図である。

【図2】 実施の形態1におけるフラッシュメモリとバッファメモリとのアドレスの対応関係を示すメモリマップである。

【図3】 メディアセクタアドレスをフラッシュセクタアドレスとカラムアドレスオフセット生成ビットとに変換する説明をするための図である。

【図4】 スタートフラッシュカラムアドレスオフセットとメディアセクタアドレスの下位2ビットとの関係を示す図である。

【図5】 実施の形態1の記憶装置の処理のメインフローを示す図である。

【図6】 図5に示したステップS04の読出処理の詳細を示すフローチャートである。

【図7】 図6に示した読出処理の各ステップが記憶装置内のどのブロックで実施されているかを示す図である。

【図8】 図5に示したステップS05における書込処理の詳細を示すフローチャートである。

【図9】 図8に示した書込処理の各ステップがホストシステムとコントローラおよびバッファメモリとフラッシュメモリとの間でどのように行なわれるかを示す図である。

【図10】 図1に示したデータ転送制御部8の詳細を示すブロック図である。

【図11】 フラッシュメモリからバッファメモリへのデータ転送の様子を示すタイミング図である。

【図12】 図11に示したバッファメモリへのデータ書込の動作をより詳細に示した動作波形図である。

【図13】 バッファメモリからフラッシュメモリへのデータ転送の様子を示すタイミング図である。

【図14】 図13に示したバッファメモリからフラッシュメモリへのデータ転送の様子をさらに詳しく説明す

るための動作波形図である。

【図15】 実施の形態2の記憶装置51の概略構成を示すブロック図である。

【図16】 実施の形態2におけるフラッシュメモリとバッファメモリとの対応関係を示すメモリマップである。

【図17】 メディアセクタアドレスをフラッシュセクタアドレスとフラッシュカラムアドレスとに変換を説明するための図である。

【図18】 フラッシュカラムアドレスとメディアセクタアドレスの下位2ビットとの関係を示す図である。

【図19】 スタートカラムアドレスの説明をするための概念図である。

【図20】 分割リード/プログラム機能を有するフラッシュメモリからデータを読み出す際のコマンド設定とアドレス設定とを説明するための動作波形図である。

【図21】 実施の形態2においてフラッシュメモリにデータを書込む入力波形を示す図である。

【図22】 実施の形態2の記憶装置の処理のメインフローを示す図である。

【図23】 図22に示したステップS104の読出処理

の理の詳細を示すフローチャートである。

【図24】 図23で示した読出処理の各ステップが記憶装置内のどのブロックで実施されているかを示す図である。

【図25】 図22に示したステップS105における書込処理の詳細を示すフローチャートである。

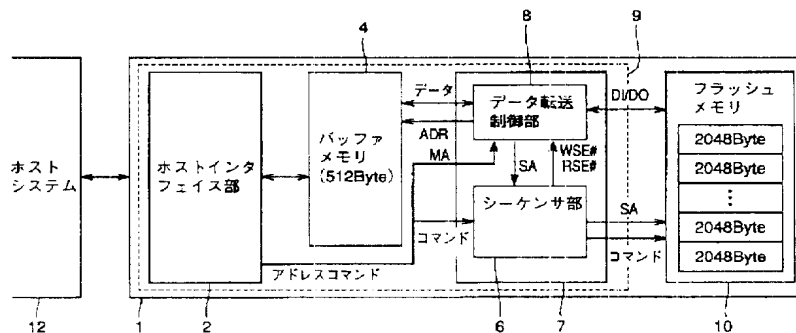
【図26】 図25に示した書込処理の各ステップがホストシステムとコントローラおよびバッファメモリとフラッシュメモリとの間でどのように行なわれるかを示す図である。

【図27】 図15におけるカラムアドレス制御部58の詳細を示すブロック図である。

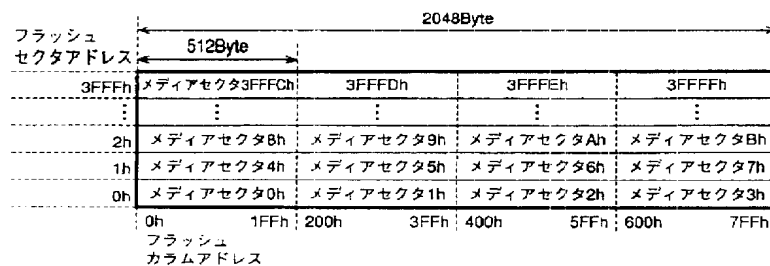
【符号の説明】

1, 51 記憶装置、2, 52 ホストインタフェース部、4, 54 バッファメモリ、6, 56 フラッシュインタフェースシーケンサ、8 データ転送制御部、10, 60 フラッシュメモリ、58 カラムアドレス制御部、22 フリップフロップ、24 AND回路、26 SCカウンタ、28 ゲート回路、30 メディアセクタアドレスラッチ部、32 比較器、34 セレクタ。

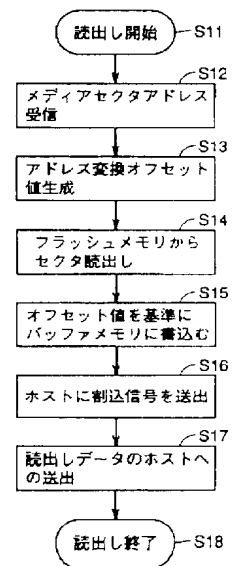
【図1】



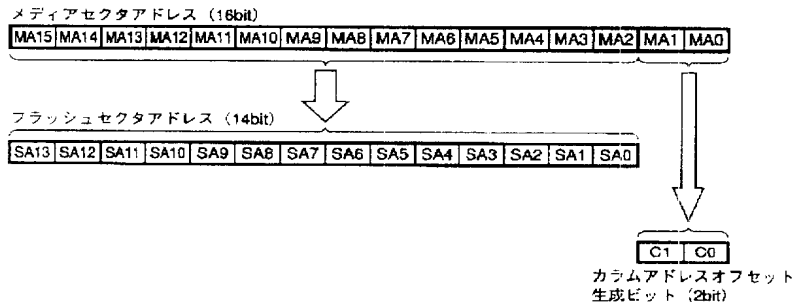
【図2】



【図6】



【図3】

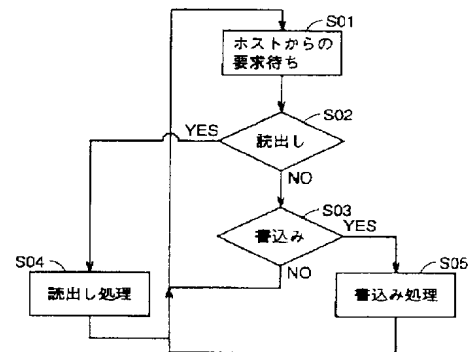


【図4】

◆メディアセクタアドレス (下位 2bit)

MA1	MA0	動作
0	0	スタートフラッシュコラムアドレスオフセットを0hとし、512Byteのデータをバッファメモリへ (バッファメモリから) 転送する。
0	1	スタートフラッシュコラムアドレスオフセットを200hとし、512Byteのデータをバッファメモリへ (バッファメモリから) 転送する。
1	0	スタートフラッシュコラムアドレスオフセットを400hとし、512Byteのデータをバッファメモリへ (バッファメモリから) 転送する。
1	1	スタートフラッシュコラムアドレスオフセットを600hとし、512Byteのデータをバッファメモリへ (バッファメモリから) 転送する。

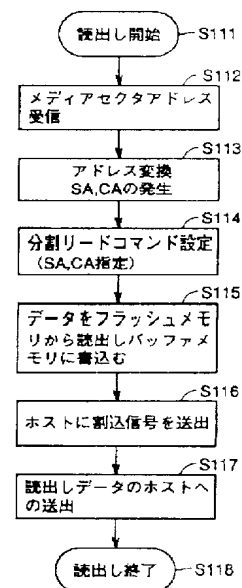
【図5】



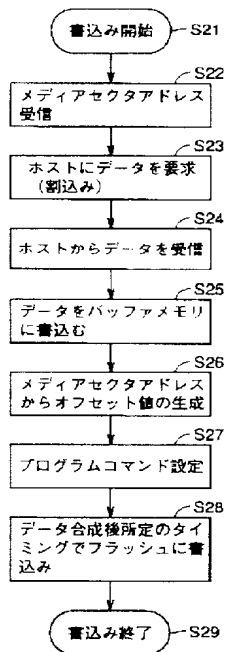
【図7】

HOST	コントローラ (バッファ)	フラッシュメモリ
メディアセクタアドレス xxhの読出し要求		
Wait for Interrupt	メディアセクタ → SA オフセットの生成 ↓ リード・コマンド/SA → セクタリード (2048Byte) ↓ メディアセクタアドレスに基づく オフセットから512Byteのデータを バッファへ転送	フラッシュ I/Fデータ出力 (2048Byte)
Interrupt	メディアセクタアドレス xxhのデータ読出し要求	
メディアセクタアドレス xxhのデータ読出し	バッファから出力	
読出し終了		

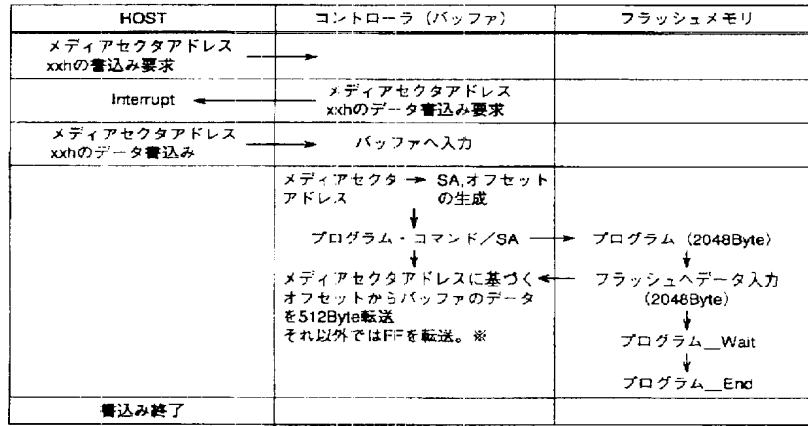
【図23】



【図8】

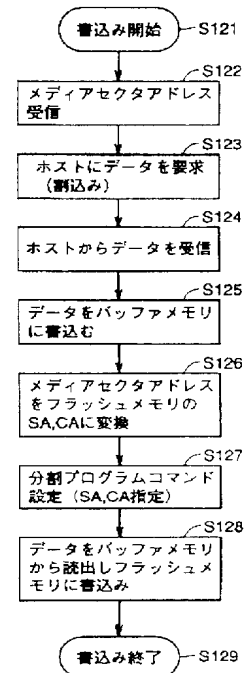


【図9】

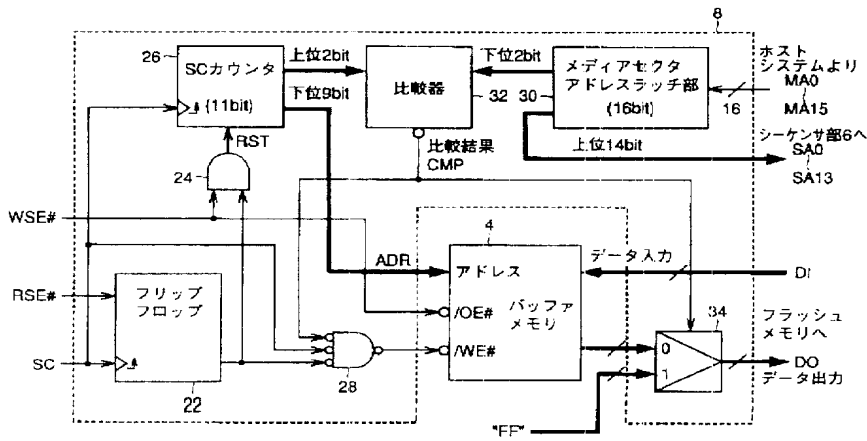


※フラッシュメモリのイレース状態がFFである場合。

【図25】



【図10】



【図18】

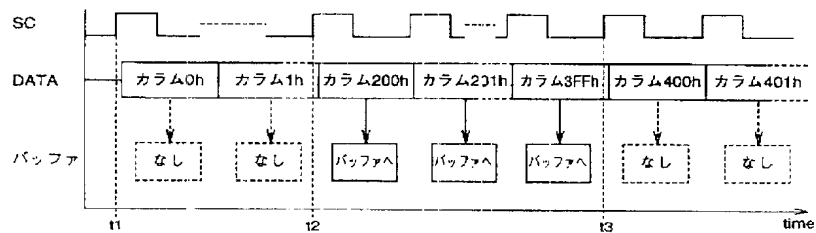
◆メディアセクタアドレス (下位 2bit)

MA1	MA0	スタートカラムアドレス
0	0	スタートカラムアドレス: 0h
0	1	スタートカラムアドレス: 200h
1	0	スタートカラムアドレス: 400h
1	1	スタートカラムアドレス: 600h

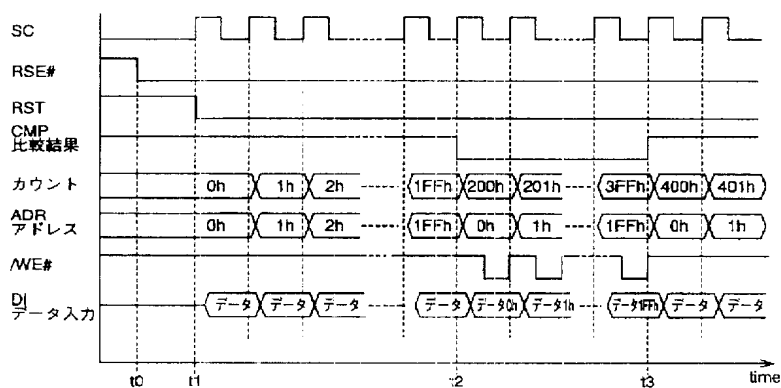


【図11】

◆メディアセクタアドレス：(MA1,MA0)=(0,1)の時

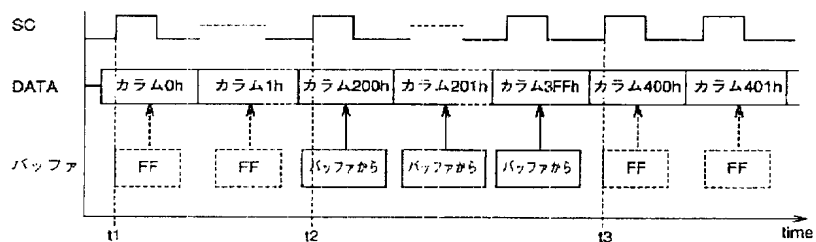


【図12】

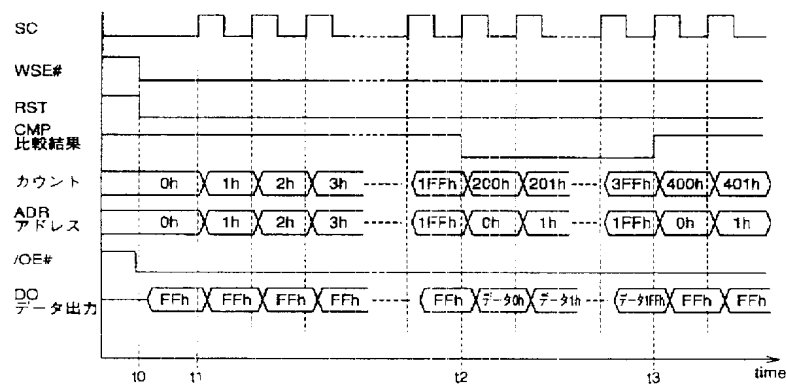


【図13】

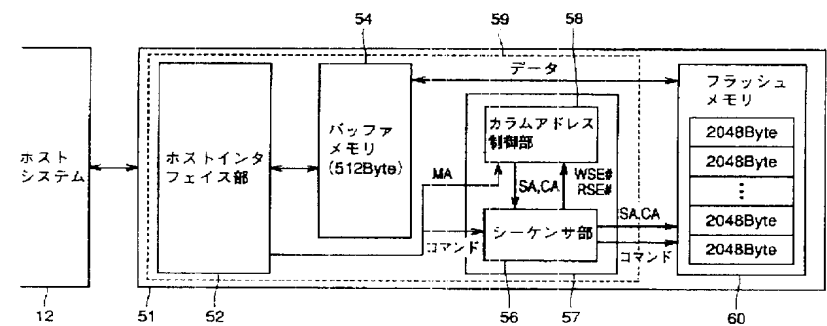
◆メディアセクタアドレス：(MA1,MA0)=(0,1)の時



【図14】



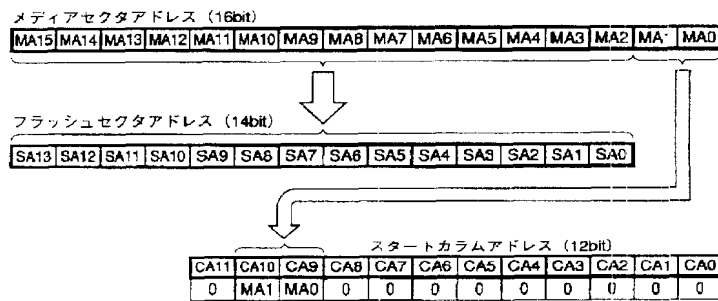
【図15】



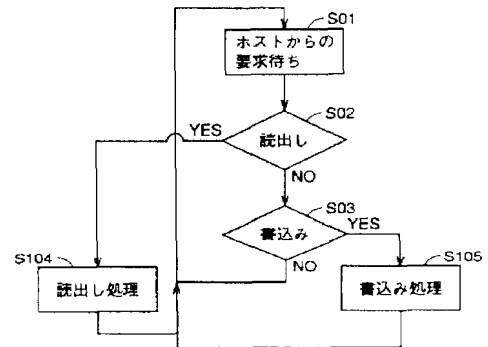
【図16】

2048Byte				
フラッシュ セクタアドレス	512Byte			
3FFFh	メディアセクタ3FFFCh	3FFFDh	3FFFEh	3FFFFh
...	...	...	...	...
2h	メディアセクタ8h	メディアセクタ9h	メディアセクタAh	メディアセクタBh
1h	メディアセクタ4h	メディアセクタ5h	メディアセクタ6h	メディアセクタ7h
0h	メディアセクタ0h	メディアセクタ1h	メディアセクタ2h	メディアセクタ3h
	0h	1FFh	200h	3FFh
		400h	5FFh	600h
				7FFh
				フラッシュ カラムアドレス

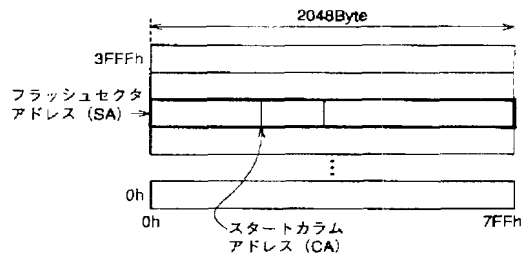
【図17】



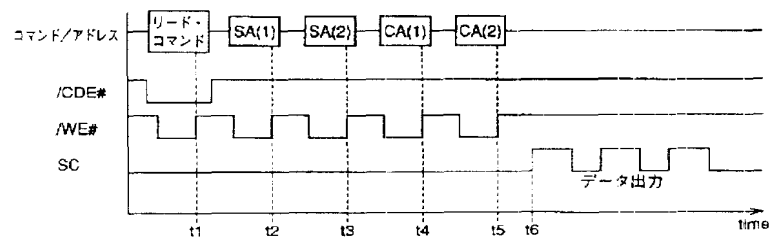
【図22】



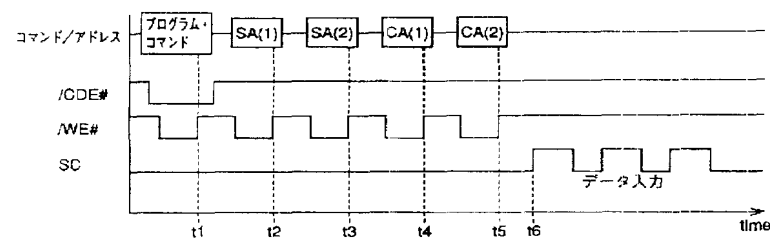
【図19】



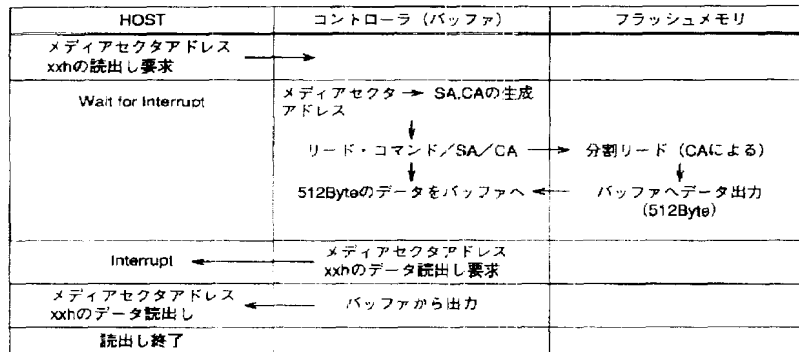
【図20】



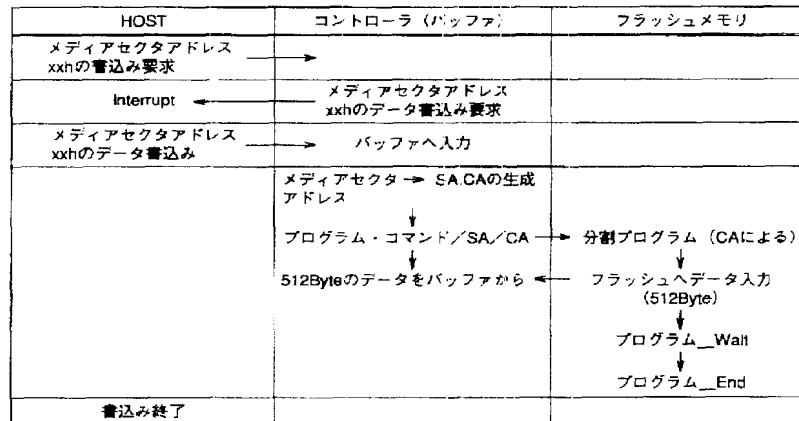
【図21】



【図24】



【図26】



【図27】

